

CN1148697A 英文發明摘要：

A video signal processing apparatus for automatically adjusting sampling clock phase is provided. In the video signal processing apparatus, a sampling graphic video signal is transformed into 8-digits data, which is synchronous as the sampling clock produced by a write control circuit, and then the data is stored in a storage device. A microprocessor unit (MPU) reads out pixel data in the effective area of the video signal, and calculates the difference AT between the mean of white voltage pixel data whose value is larger than a predetermined value and the mean of black voltage pixel data whose value is smaller than a predetermined value. The MPU also calculates a total change VT between the white voltage pixel data and the black voltage pixel data, such that it can control the phase of the sampling clock produced by the write control circuit so that the AT value becomes the largest and the VT value becomes the smallest.

THIS PAGE BLANK (USPTO)

[19]中华人民共和国专利局

[51]Int.Cl⁶

G06F 1/04
H04N 5/14



[12] 发明专利申请公开说明书

[21] 申请号 96112121.1

[43]公开日 1997 年 4 月 30 日

[11] 公开号 CN 1148697A

[22]申请日 96.7.27

[30]优先权

[32]95.7.27 [33]JP[31]192097 / 95

[71]申请人 株式会社日立制作所

地址 日本东京都

[72]发明人 中一隆 丸山敦

浦田浩之 岩永正明

[74]专利代理机构 中国专利代理(香港)有限公司

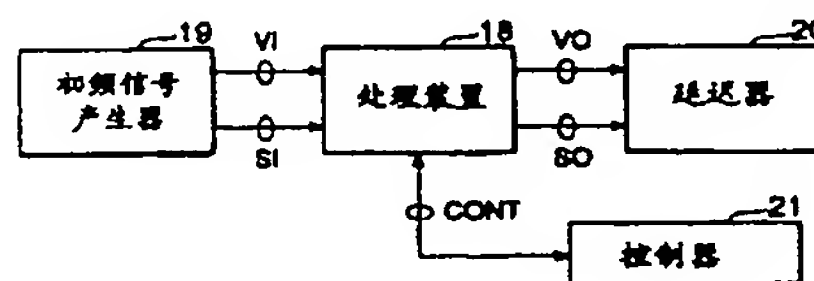
代理人 邹光新 张志醒

权利要求书 4 页 说明书 20 页 附图页数 9 页

[54]发明名称 用于自动调整取样时钟相位的视频信号处理装置

[57]摘要

在视频信号处理装置中将试验图形视频信号 V0 转换成 8 位数据, 并与写入控制电路 5 中产生的取样时钟同步, 然后存储在存储器中。MPU9 读出该视频信号的有效区域中的像素数据, 并计算其值大于预定值的白电平像素数据的平均值和小于预定值的黑电平像素数据的平均值之间的差 AT, 以及白电平像素数据和黑电平像素数据之间的总变化 VT。MPU9 控制在写入控制电路 5 中产生的取样时钟的相位使 AT 为最大而 VT 为最小。



(BJ)第 1456 号

THIS PAGE BLANK (USPTO)

权 利 要 求 书

1. 一种信号处理装置，用于在根据定时时钟定时状态下将表示一图象的视频信号转换到表示每一个包含在该图象中的象素的多值数字数据，包括：

转换装置，用于在根据取样时钟定时状态下取样该视频信号，以便将该视频信号转换到多值数字数据；

分类装置，用于连续地将经转换的多值数字数据分到具有包含在第一值范围内的值的一低电平图象元数据组和具有包含在第二值范围内的值的一高电平图象元数据组，该第二值范围的值高于第一值范围的值；

计算装置，用于连续地计算根据在经分类的低电平图象元数据组中的低电平图象元的值的变化和在经分类的高电平图象元数据组中的高电平图象元的值的变化统计值；以及

调整装置，用于根据连续计算的统计值调整取样时钟的相位，以减小低电平图象元数据的值的变化和高电平图象元数据的值的变化。

2. 一种信号处理装置，用于在根据定时时钟定时状态下将表示一图象的视频信号转换到代表每一个包含在图象中的图象元的多值数字数据，包括：

转换装置，用于在根据取样时钟定时状态下取样该视频信号，以便将该视频信号转换到多值数字数据；

分类装置，用于连续地将经转换的多值数字数据分到具有包含在第一值范围内的值的一低电平图象元数据组和具有包含在第二值范围内的值的一高电平图象元数据组，该第二值范围的值高于第一值范围的值；

计算装置，用于连续计算总变化，该总变化是在低电平图象元数据组中的低电平图象元数据值的变化与在高电平图象元数据组中的高电平图象元数据值的变化之和；以及

调整装置，用于将取样时钟的相位调整到这样一个相位，在该相位上，由所说计算装置计算的总变化为最小。

3. 根据权利要求2的视频信号处理装置，其中，所说计算装置计算在低电平图象元数据组中的低电平图象元数据值的平均和高电平图象元数据组中的高电平图象元数据值的平均之间的差的平均差，以及所说调整装置调整取样时钟

到由所说计算装置计算的平均差为最大则由所说计算装置计算的总变化为最小的相位上。

4. 根据权利要求2的视频信号处理装置，还包括存储器装置，用于当取样时钟的相位调整到由所说计算装置计算的总变化为最小的相位时储存调整总量，以及用于用储存在所说储存装置中的取样时钟的相位的调整总量调整该取样时钟相位的装置。

5. 根据权利要求3的视频信号处理装置，还包括存储器装置，用于当取样时钟的一相位调整到由所说计算装置计算的总变化为最小的相位时储存调整总量，以及用于用储存在所说储存装置中的取样时钟的相位的调整总量调整该取样时钟相位的装置。

6. 根据权利要求2的视频信号处理装置，其中，所说调整装置用于确定取样时相位的校正方向，以便减小由所说计算装置计算的总变化，并连续地按校正方向校正取样时钟的相位，所说计算装置计算每次由所说调整装置校正的取样时钟的相位的总变化，以及所说调整装置通过比较由所说计算装置计算的目前校正的总变化和由所说计算装置计算的直到现在完成的以前校正的总变化检测提供最小总变化的取样时钟的最佳相位，由此取样时钟的相位被调整到取样时钟的最佳相位。

7. 根据权利要求3的视频信号处理装置，其中所说调整装置确定取样时钟相位的校正方向，其中，由所说装置计算的平均差增加而由所说计算装置计算的总变化减小，并按确定的校正方向连续地校正取样时钟的相位，所说计算装置计算每次由所说调整装置执行的取样时钟的相位校正的总变化和平均差，以及所说调整装置通过比较由所说计算装置计算的目前校正的总变化和由所说计算装置计算的直到现在完成的以前校正的总变化检测提供最小总变化的取样时钟的最佳相位，并且通过比较由所说计算装置计算的目前校正的平均差和由所说计算装置计算的直到现在完成的以前校正的平均差提供最大平均差，由此取样时钟的相位被调整到取样时钟的最佳相位。

8. 根据权利要求1的视频信号处理装置，其中所说分类装置，所说计算装置和所说调整装置包括在微处理机上由执行程序实现的处理。

9. 根据权利要求2的视频信号处理装置，其中所说分类装置，所说计算装置和所说调整装置包括在微处理机上由执行程序实现的处理。

10. 一种显示系统， 用于在根据定时时钟定时的状态下将表示一图象的视频信号转换到表示一个包含在该图象中的图象元的多值数字数据， 并显示由被处理数字数据表示的图象， 包括：

转换装置， 用于在根据取样时钟定时状态下取样该视频信号， 并将该视频信号转换到多值数字数据；

一处理器， 用于处理该数字数据；

一显示装置， 用于显示由所说处理器处理的数字数据所表示的图象； 以及

一相位调整单元， 用于调整取样时钟的相位， 其中所说相位调整单元包括分类装置， 用于连续地将经转换的多值数字数据分到具有包含在第一值范围内的值的一低电平象素数据组和具有包含在第二值范围内的值的一高电平象素数据组， 该第二值范围的值高于第一值范围的值；

计算装置， 用于连续地计算具有相应地在低电平图象元数据组中的低电平数据值的变化和在高电平图象元数据组中的高电平图象元数据值的变化值的统计值； 以及

调整装置， 用于根据连续计算的统计值调整取样时钟的相位， 以减小低电平图象元数据的值的变化和高电平图象元数据的值的变化。

11. 一种调整视频信号处理装置中的取样时钟的方法， 用于在根据定时时钟定时状态下将表示一图象的一视频信号转换到表示每一个包含在该图象中的图象元的多值数字数据， 包括步骤：

提供表示一图象的视频信号， 该图象包含有包括图象元的图形， 该图象元被转换到包含在第一值范围内的具有第一指定值的数字数据， 以及该图象元被转换到包含在第二值范围内的具有第二指定值的数字数据， 该第二值范围包含的值大于包含在第一值范围内的值；

连续地将表示包括该图形的图象的每个数字数据分到具有包含在第一值范围内的值的低电平图象元数据组和具有包含在第二值范围的值的高电平图象元数据组， 该第二值范围包含的值大于第一值范围的值；

连续地计算统计值， 它是根据在经分类的低电平图象元数据组中的低电平图象元数据的值的变化和在经分类的高电平图象元数据组中的高电平图象元数据的值的变化进行的； 以及

根据连续计算的统计值调整取样时钟的相位， 使得低电平图象元数据的值

变化和高电平图象元数据的值的变化减小。

说明书

用于自动调整取样时钟相位的视频信号 处理装置

本发明涉及用于产生同由机计算机或类似装置输入的模拟视频信号同步的取样时钟的技术。

由工程工作站、个人计算机或计算机显示终端输出的视频信号被作为基于相应于显示屏上的象素的点的模拟信号输出。

在现有技术中，视频信号被转换为数字信号，之后，通过使用储存器，运算处理电路等使该数字信号经受各种类型的图象处理，例如信号格式的转换处理，如场频，宽高比处理等，放大和缩小处理，帧合成处理，图形转换处理等。

为执行上述数字信号处理，要使用A/D转换处理，以便将模拟视频信号转换为数字数据。

根据取样时钟确定的时间取样该模拟视频信号，并由A/D转换电路将其转换成数字数据。因此，当取样该模拟视频信号并由A/D转换电路将其转换成数字信号时，该取样时钟的相位必须很好地同在该视频信号上的点的相位同步(下面称“点相位”)。

如果取样时钟的相位并不准确地与点相位相一致，则在相应由白转黑或由黑转白的边缘部分将频繁出现模糊的中间灰度，导致图象质量的下降。当显示字母或细小的图形时，这种图象质量的下降将特别引人注目。

通常，视频信号上的点的频率(下面称“点频率”)并不设置到显示的水平扫描频率的整数倍。因此，在现有技术中，那些与水平同步信号相位同步并且具有水平扫描频率整数倍频率的信号由一个PLL(锁相环)电路产生，因此，所产生的取样时钟与点频率的点相位的相位同步。

如上所述，取样时钟由PLL控制以便与水平同步信号同步。然而，在实际上，基于该同步信号产生的取样时钟的相位并不经常与点相位的相位同步，这是由于用于将水平同步信号从视频信号分离出来的同步分离电路的处理延迟(当传输的同步信号是叠在视频信号上时)，由在水平同步信号和通常用不同

系统处理的视频信号之间处理延时差，或者由在传输水平同步信号的传输电缆的长度和传输视频信号的传输电缆的长度之间的差（当同步信号独立于视频信号传输时）而造成的。因此，在这种情况下，要求同步信号或取样时钟的相位通过延时线延迟，以便调整取样时钟的相位。

目前，已经在分辨率和灵敏度方面改善了在工程工作站中个人计算机等的视频信号的显示，而这种改善促使点频率增达150MHz，期待对视频信号在分辨率和灵敏度方面进一步改进。此外，如上所述，取样信号的调整必须具有足够的准确度，这个准确度至少相应于点周期时间的1/10。例如，对于100MHz的点频率，调整必须具有1ns的准确度。

为了输出视频信号，任何时候都需要这种相位调整装置，并且取样的同步信号由别的取代，或者改变输入视频信号的点频率的水平扫描频率。

因此，在普通装置中，当任何时候观察屏幕上的显示图象或其他类似东西的同时，操作员必须调整取样时钟相位，从而改变输入视频信号。

此外，对于取样相位调整方式，对于所有可能输入的视频信号可以考虑事先检验取样时钟相位的调整量。然后，甚至对于这种情况，当执行装备调整或观察新信号时，正当观察屏幕上显示图象的同时，对所有视频信号操作者必须执行相位调整。

即，对于取样时钟相位的一般调整技术具有各种问题，即取样时钟相位的调整麻烦，对于用户是不方便的，而且要求长的设备调整时间。

因此，本发明的目的在于提供一种能更容易更准确地调整时钟相位的视频信号处理装置。

为达到以上目的，按本发明的视频信号处理装置包括转换装置，用于在基于取样时钟的同步下连续地取样视频信号，以便将视步信号转换到多值的数字数据，分类装置，用于连续地将转换的多值的数字数据转换到具有包含在第一数值范围内的值的低电平图象元数据组和具有包含在第二数值范围内的值的高电平像素数据组，第二数值范围内的值比第一数值范围的值更高，计算装置，用于连续地根据在经分类的低电平图象元数据组中的低电平图象元数据的值的变化，以及在经分类的高电平图象元数据组中的高电平图象元数据的值的变化计算统计值，以及调整装置，用于根据连续计算的统计量调整取样时钟的相位，由此降低了该低电平图象元数据的值的变化和高电平图象元数据的值的变

化，其中，代表一幅图象的视频信号在基于取样时钟的同步下被转换到每个都包含在该图象中的代表图象元的多值的数字数据。

按照本发明的视频信号处理装置，一般只要提供视频处理装置就能调整取样时钟的相位，作为视频信号，一个图象包括图象元，该图象元被转换到具有包含在第一数值范围内的第一指定值的数字数据，以及被转换到具有包含在第二数值范围内的第二指定值的数字数据。

即，在视频信号处理装置的分类装置中，在转换装置中转换的多值数字数据被分成具有包含在第一数值范围内的值的低电平图象元数据组和具有包含在第二数值范围内的值的高电平图象元数据组，第二数值范围内的值比第一数值范围的值更高，并在计算装置中连续地计算基于在被分类的低电平图象元数据组中的低电平图象元数据的值的变化以及在被分类的高电平图象元数据组中的高电平图象元数据的值的变化统计值。如果在低电平图象元数据组中的低电平图象元数据的值的变化和在高电平图象元数据中的高电平图象元数据的值的变化和被用作该统计值，则当取样时钟相位被适当调整而不发生模糊的中间灰度时，该两个变化值以及其和将成为最小。

因此，能够根据该统计值通过调整取样时钟的相位来调整取样时钟的相位，以便降低低电平图象元数据的值的变化以及高电平图象元数据的值的变化。

图1为表示按本发明第一实施例的视频信号处理系统的结构的方块图；

图2为表示按本发明第一实施例的视频信号处理装置的结构方块图；

图3A-3E为表示取样数据随取样时钟相位变化的定时图；

图4A和4B为表示取样时钟相位和数据值出现频率之间关系的曲线；

图5为表示取样时钟相位和出现频率之间的关系曲线，(a)表示在白图象元数据平均值和黑图象元数据之间的差的数据AT的出现频率，而(b)表示白图象元数据的变化和黑图象元数据的变化总变化VT的出现频率；

图6为表示按本发明实施例的产生写入控制电路的取样时钟的主要部分的结构方块图；

图7为表示对每种统计值计算过程的流程图，是在本发明的第一实施例中执行的；

图8为表示按本发明第一实施例的视频信号处理装置的另一结构的方块图

; 以及

图9为表示按本发明第二实施例的视频信号处理装置的结构方块图。

以下将参照附图描述本发明的优选实施例。

首先将描述本发明的第一实施例。

图1表示一种视频处理系统的结构，它是由按本发明第一实施例的视频处理装置构成的。

在图1中，该视频信号处理系统包括一视频信号发生器19，用于输出视频信号，例如工程工作站，个人计算机或其他形式的计算机，按第一实施例的一视频处理装置18，一显示器20用于显示图象，以及一控制器，用于操作该视频处理装置18。

在该结构中，视频信号发生器19输出视频信号V1和同步信号S1到视频处理装置18。在该第一实施例中，视频信号V1用电压值代表在多灰度情况下每个图象元(点)的显示亮度。同步信号S1是重叠水平同步信号和垂直同步信号得到的合成信号。

视频处理装置18用取样时钟取样该视频信号V1，该取样时钟与从同步信号S1分离出来的水平同步信号同步产生，以便将该视频信号V1转换到8位的数字数据，然后根据控制器21的指令对数字数据进行图象处理，再将经图象处理的数字数据转换到模拟视频信号V0，在后同同步信号输出S0一起将该模拟视频信号V0输出到显示器。当与该同步信号输出S0同步扫描显示屏时，显示器显示由该视频信号V0代表的图象。

当调整取样时钟相位时，视频信号发生器19输出代表包括黑白二元值的相当细密的显示波形的视频信号V1。当调整该取样时钟相位时，这种操作还可以通过预先储存用于调整该取样时钟相位的图形于该视频信号发生器19中，然后控制该视频信号发生器19输出代表该储存图形的视频信号来执行。另一方面，当该视频信号发生器19是一工程工作站，一个人计算机或其他形式的计算机时，通过由上述装置备有的键盘或类似的东西来输入字母，则代表在黑背景上的白字母的或在白背景上的黑字母的图象的视频信号V1能够从该视频信号发生器输出。这种按照键盘或类似的东西的输入操作来输出代表字母的视频信号的功能通常配备工程工作站，个人计算机或其他形式的计算机。

当如上所说在代表显示图形的视频信号 V1 从该视频信号发生器输出启动之后，操作者通过控制器21 指定调整取样时钟相位时，视频信号处理装置 18 调整在此产生的取样时钟的相位并用于输入的视频信号V1。 经调整之后， 视频信号处理装置18 根据代表任何从视频信号发生器19 输出的图象的视频信号 V1执行图象处理，然后将经图象处理的视频信号作为视频信号V0输出到显示器 20。

接着，将详细描述用于执行取样时钟相位的视频信号处理装置18。

图2表示视频信号处理装置18的内部结构。

如图2 所示，视频信号处理装置18 包括输入端1，用于从例如一工程工作站，一个人计算机或类似物的视频信号发生器 19 接收输入视频信号V1，一输入端2，用于接收包括输入视频信号V1 的叠加水平和垂直同步信号的输入同步信号S1，以及一同步分离电路3，用于将从输入到2端的信号S1分离的水平和垂直同步信号输出到写入控制电路5。 当输入同步信号S1 为非独立输入，以及水平和垂直同步信号叠加在输入视频信号V1上时，同步分离电路3 从输入视频信号V1 分离水平和垂直同步信号，然后将这些同步信号输出到写入控制电路 5。

视频信号处理装置18还包括一个A/D转换电路4，用于取样从写入控制电路 5输出的与取样时钟同步的输入视频信号V1，并将该取样的视频信号V1 转换到数字数据，写入控制电路5，用于根据由同步分离电路3输出的水平同步信号产生取样时钟，并根据该水平和垂直同步信号产生取样时钟，并根据该水平和垂直同步信号产生存储器写入控制信号，一存储器6，其中根据写入控制电路5的控制信号写入来自A/D转换电路4的数字数据，一D/A转换电路7，用于将从存储器6读出的数字数据转换成模拟信号，以及一读出控制电路8，用于控制存储器6的数据的读出顺序，选择存储器6的读出数据以及定时D/A转换电路7的模拟转换，以便使输出到显示器20的输出视频信号V0变成经受预定图象处理的一个信号。

视频信号处理装置 18 还包括一微处理器单元(以下称 "MPU")9，它能读出存储器6 中的数据，一只读存储器 (以下称 "ROM") 10，其中写入控制MPU 9 的程序和数据，一随机存取存储器(以下称 "RAM")11，用于提供为 MPU 9 处理工作的存储区域，一输出端12，在D/A 转换电路7 中被转换到模拟信号的

视频信号V0由此输出到显示器20，一输出端17，用于输出同步信号S0到显示器20，一联络端16，用于将控制器21的控制信号输出到MPU 9，一非易失存储器22，用于储存在相位调整之后正常的调整总量数据，以及一自激时钟振荡电路23。

在这种结构的视频信号处理装置中，在写入控制电路5中根据来自同步分离电路3水平同步信号产生与该视频信号点相位和点频率同步的取样时钟。如后面所描述的那样，在写入控制电路5中产生的取样时钟按MPU 9输出的控制信号CKPH同步改变。

另一方面，由端1输入的输入视频信号V1在A/D转换电路4中与在写入控制电路5中产生的取样时钟同步取样，然后写入存储器6的预定地址用于每帧、场或行，该写入操作是根据由同步分离电路3分离的水平和垂直同步信号按来自写入控制电路5的控制信号加以控制的。

如上所述，写入存储器6的数据能由MPU 9读出。MPU 9能够按照指定用于数据的一个地址用地址标记信号ADR读出期望从存储器6读出的数据作为一个信号DAT。MPU 9通过使用写入ROM 10的一个程序加以控制，而RAM 11被用作工作区域去执行该程序或计算。此外，MPU 9按照通过端16从控制21输入的控制信号确定欲执行的处理。

读出控制电路8控制从存储器6读出的数据的顺序并从存储器6选择读出数据读出，结果由写入存储器6的数据所代表的图象具有相应于来自MPU 9指令的形式（例如，图象具有显示的图象尺寸），之后将此数据送到D/A转换电路7。此外，如上所述，读出控制电路8产生并输出与该读出操同步的同步信号S0，并与在时钟产生电路23中产生的读出时钟同步地执行从存储器6的读出操作。

写入控制电路5和读出控制电路8根据MPU 9的指令执行对存储器6的写入控制和读出控制，由此能够实现各种图象处理，例如图象尺寸的放大/缩小，场或帧频的转换。

将描述如上所描述的在视频处理装置18中取样时钟的相位调整的细节。

现在根据视频信号产生器19输入一试验图形作为输入信号，该试验图形包括具有两个灰度级的信号，例如，一个比预定电平低的黑信号(0%亮度)，以及一个比预定电平高的白信号(100%亮度)，而其中，从黑到白和从白到黑的变化

将产生有关的频率。

图3A表示代表包括黑(0%亮度)和白(100%亮度)电平信号的试验图形的输入视频信号V1的波形。当输入视频信号V1的点相位和取样时钟相位彼此的关系如图3B所示时,如图3C所示,每个被取样的视频信号的取样值必须取用0%和100%的任一值。另一方面,如图3D所示,当输入信号V1的点相位和取样时钟相位的关系位置成图3D所示那样时,将产生模糊的中间电平,当如图3E所示那样产生从黑到白或从白到黑的数据变化时,该模糊中间电平既不属于黑(0%亮度),也不属于白(100%亮度)。

图4A和4B是表示在图3A中由A/D转换器4取样并转换输入视频信号V1得到的8位数字数据值(横座标)与该数据值的出现频率之间的关系频率曲线。图4A是当取样时钟相位适当时的频率曲线。在在情况中,无模糊中间电平的取样值产生,并且几乎所有象素的值集中在白(100%亮度)电平(例如,由8位数据代表的256个灰度中的"220")或黑(0%亮度)电平(例如,由8位数据代表的256个灰度中的"16")。因此,该情况的频率曲线如图4A所示那样具有包括两个尖峰的特点。

另一方面,当取样时钟相位不适当时,如图4B所示那样,具有模糊等级的取样值的出现频率增加,这样白等级和黑等级值的峰值就缓和,使得具有白和黑电平值之间的中间值的数据的出现频率增加。

按照该实施例,取样时钟的相位在考虑这些数据值的出现频率分布的条件下进行调整(数据具有中间电平值)。

因此,MPU 9计算数据值的平均值,变化等这样的统计值,以便调整取样时钟相位。

首先将描述计算每个统计值的MPU 9的操作。

使输入视频信号V1通过经受A/D转换而得到的数据由写入控制电路5控制而写入到存储器6的每场或每行的预定的地址。因此,MPU 9能够通过设置地址标记信号ADR于一适当值从存储器6连续地随数据信号DAT读出除输入视频信号V1的水平消隐周期以及垂直消隐周期以外的有效象素区域的数据。例如,当存储器6具有一场或帧容量时,能够提供输入图象的一帧中的任意图象元数据。此外,当存储器6是一个行存储器时,能提供一行中任意有效象素数据,MPU 9只提供储存在存储器6中的有效图象元的数据。

即, 例如, MPU 9控制地址标记信号ADR从包括水平方向1280个象素和垂直方向1024行的有效区域装入RAM 11在该帧中心部分上的第512行上的1024个图象元。对于所有数据值计算数据量, 例如, 像值 "0" 的数据量等于 $h(0)$, 值 "1" 的数据量等于 $h(1)$, 值 "2" 的数据量等于 $h(2)$, ..., 值 "255" 的数据量等于 $h(255)$, 以及这样得到的频率曲线 $h(i)$ 在RAM 11中进行比较。在这样得到的频率曲线的基础上, 各种统计值, 例如黑电平图象元数据的数据总数TB, 白电平图象元数据的数据总数TW, 黑电平图象元数据的平均值AB, 白电平图象元数据的平均值AW, 黑电平图象元数据的变化VB以及白电平图象元数据的变化VW按照等式(1)-(8)计算, 并进而计算白电平图象元数据和黑电平图象元数据平均值之间的差AT(以下称"平均差AT")以及白电平和黑电平图象元数据的变化值的和(以下称"总变化VT")。这里, 白电平图象元数据意指等于或大于"128"的那些值的数据而黑电平图象元数据意指等于或小于"127"的那些值的数据。

$$TB = \sum_{i=0}^{127} h(i) \quad \dots(1)$$

$$TW = \sum_{i=128}^{255} h(i) \quad \dots(2)$$

$$AB = \frac{1}{TB} \sum_{i=0}^{127} h(i) \cdot i \quad \dots(3)$$

$$AW = \frac{1}{TW} \sum_{i=128}^{255} h(i) \cdot i \quad \dots(4)$$

$$AT = AW - AB \quad \dots(5)$$

$$VB = \frac{1}{TB} \sum_{i=0}^{127} h(i) \cdot i^2 - AB^2 \quad \dots(6)$$

$$VW = \frac{1}{TW} \sum_{i=128}^{255} h(i) \cdot i^2 - AW^2 \quad \dots(7)$$

$$VT = VB + VW \quad \dots(8)$$

变化值的一般定义由使用如等式(6)和(7)中所示的平方计算给出的,然而可以用如等式(9)和(10)所示的绝对值计算来简化这种计算处理。这可缩短计算时间,并增加调整处理的速度。

$$VB = \frac{1}{TB} \sum_{i=0}^{127} h(i) \cdot |li - AB| \quad \dots(9)$$

$$VW = \frac{1}{TW} \sum_{i=128}^{225} h(i) \cdot |li - AW| \quad \dots(10)$$

以上说明是在由MPU 9执行的各统计值的计算操作基础上进行的。

平均差AT相应在白等级图象元数据的平均值和黑电平图象元数据的平均值之间的差。当取样时钟相位最佳时,在白电平和黑电平值之间不存在模糊中间值的数据,这样平均值AT成为最大值。如果取样时钟相位偏移最佳状态,具有中间值的数据的系数增加,而白电平图象元数据的平均值AW和黑电平图象元数据的平均值AB彼此接近,致使平均差减小。

总变化VT相应白电平图象元数据变化值VW与黑电平图象元数据的变化值VB的和。当取样时钟相位为最佳,并且所有数据集中在代表"白"(例如,220)的值和代表"黑"(例如,16)的值上时,每个白电平图象元数据和黑电平图象元数据的变化等于零,这样总变化VT为最小值。如果取样时钟相位偏移最佳状态,每个黑电平图象元数据和白电平图象元数据分布将扩展,使变化值的和VT增加。

图5表示平均差AT和总变化VT相对于取样时钟相位的变化。如图5所示(在这些曲线的中心部分),当取样时钟相位最佳时,平均差AT最大,而变化值VT最小。随着取样时钟的相位的变化,最大和最小值周期性地交替出现。当取样时钟相位偏移最佳相位时,平均差AT减小,而总变化VT增加。

然而,当取样时钟相位和输入视频信号V1的点相位之间的相位关系超过180°时,平均差AT增加,而总变化VT减小,这是由于取样时钟相位接近相邻点的最佳取样时钟相位。

以下将描述如上所述的当计算统计值时MPU 9 调整取样时钟相位的操作。

在启动从视频信号产生器19 输入如图4A 所示的黑和白图形的输入视频信号V1 输入之后, 根据通过联络端 16 来处控制器21的调整取样时钟的指令, MPU 9首先存储器6 读出数据, 以便计算平均差AT 和总变化VT(第一), 之后, 根据来自该 MPU 9 的控制信号CKPH 在写入控制电路5 中产生的取样时钟的相位按照指定的方向(例如正方向)变化。在该状态下, 在A/D 转换器4 中取样并进行数字转换的数据再次从存储器6读出, 以便计算平均差AT和总变化VT(第二)。

当平均差AT 增加而总变化VT 减小时, 取样时钟的相位进一步按同一方向偏移(正方向)。因此, 在A/D 转换器4 中被取样并进行数字转换的数据连续地由其相位变化的取样时钟从存储器6读出。在平均差AT增加而总变化VT 减小的时候, 取样时钟的相位连续变化。在平均差AT的变化被调整减小, 而总变化VT的变化被调整增加的阶段, 恰好取样时钟的在先相位被视作为合适的相位, 而在结束这种调整之后, 根据控制信号CKPH, 取样时钟相位被设置到该合适的相位。

相反地, 当在第二次计算平均差 AT 和总变化 VT 状态中, 如果同第一次计算相比平均差AT 更加减小而总变化VT 更增加时, 取样时钟的相位从初始设定值变化到相反方向(负方向), 而当平均差AT 增加总变化减小时, 取样时钟的相位连续变化。在平均差AT 的变化被调整到减小, 而总变化VT 的变化被调整增加的阶段, 恰好取样时钟的在先相位被视作为合适的相位, 而在结束这种调整之后, 根据控制信号 CKPH, 取样时钟的相位被设置到该合适的相位。

在这种情况下, 如果对于提供最小总变化VT或最大平均差AT的取样时钟相位连续存在多点, 则在该连续部分的中间点的取样时钟相位可以视作为一合适的相位。

当结束这种调整时, MPU 9 将取样时钟的相位的调整总量储存到非易失性存储器22 中, 用它可以得到计算的合适的相位。非易失性存储器 22 是例如一种 EEPROM, 一种闪烁存储器或类似物, 其中甚发电源断开时不遗失储存内容。

当电源断开然后再接通时，MPU 9读出储存在非易失性存储器22 中的相位的调整总量，并根据控制信号CKPH设置该调整总量到写入控制电路。

下面将按照来自MPU 9 的控制信号描述用于调整取样时钟相位的写入控制电路5的结构。

图6表示在写入控制电路5中用于产生取样时钟的单元结构。

在图6 中，标号51 表示延迟电路， 用于延迟由同步分离电路3 分离的水平同步信号HD， 延迟时间由相位控制信号 CKPH 设定，标号52 表示相位比较器， 如以下要描述的， 用于比较在由延迟电路51 延迟的信号R 和分频器 55 的输出V之间的相位，标号53表示环路滤波器，用于平滑相位比较器52 的输出，以便得到理想的响应特性，标号54 表示压控振荡器（以下称作 "VCO" ），用于根据环路滤波器53 的输出产生具有可变振荡频率的SYSCLK，以及标号 55 表示分频器，用于按M分频SYSCLK，然后将被分频的SYSCLK 输入到相位比较器 52。

在图6中，相位比较器52，环路滤波器53，VCO54和分频器55构成一个PLL，相位比较器的两个输入信号R和V在所有时间被指定同相。因此，VCO54 的输出SYSCLK的频率是水平同步信号的M倍，并且和延迟电路的输出R相位同步。该SYSCLK被用作写入控制电路和系统时钟。此外，该系统时钟被用作A/D 转换的取样时钟，或者该取样时钟可以由在除法器55中使系统时钟经受分频而产生。在这种情况下，除法器55由信号V重置，使得在信号V和取样时钟之间的相位关系在所有时间保持固定。

水平同步信号HD与输入视频信号V1的点相位保持固定的相位关系。最初用于取样时钟的SYSCLK与相位比较器的输入R相位同步。因此在视频信号和取样时钟之间的相位关系能够在延迟电路51中根据控制信号CLKPH 随着改变水平同步信号HD和相位比较器的输入R之间的相位关系而变化。延迟电路51 能够使用具有按控制信号CLKPH转换的多个抽头的LC延迟器。

在图6所示的结构中，水平同步信号HD 由延迟电路51 延迟， 以便改变SYSCLK的相位。如果延迟电路51插在图6的A或B位置处能得到同样的效果。然而当延迟电路插在图6位置A处时，需要具有宽带的昂贵的延迟线，这是由于必须延迟具有数+MHz-数百MHz的SYSCLK。通常，水平同步信号具有数+ KHz 到约100KHz的频率，这样图6的结构不需要宽带的延迟线。另一方面，当延迟电路

插在图6B处时，对系统的响应和稳定性可能有不良影响，这是由于一个可变延时电路插在闭合的PLL环中的缘故。

如上所述，按第一实施例，平均差AT和总变化VT连续地在MPU 9中计算，并且通过用相位控制信号CKPH控制写入控制电路5，能调整取样时钟的相位而得到初始值的最佳取样点，而在该点上平均差AT最大，总变化VT最小。因此，可防止由于相位偏移而在边缘部分产生具有模糊中间灰度的图象元，并可防止字母和细密图形的图象质量方面的降低。

此外，MPU 9的处理是由写入ROM 10的处理程序实现的。因此，取样时钟相位能自动调整到最佳值而无需操作员工作，即通过从视频信号产生器19产生代表一预定试验图形的视频信号，并从控制器21向MPU 9给出启动调整取样时钟相位的指令而自动进行。

此外，在其上得到最佳时钟相位的相位调整总量被储存在非易失性存储器22中，并且当电源接通时它被复原。因此没有必要在每启动视频信号系统时产生代表试验图形的视频信号并指令启动相位调整。

假定指定如上所描述的第一实施例的视频信号处理系统以及由此从用于输出不同视频信号的多个视频产生器19输出的多个视频信号选择其一个信号输入到视频信号处理装置18。在该情况下，当水平频率或点频率不同的多个视频信号之一信号从视频信号发生器19输入到视频信号处理装置18时，如上所述取样时钟相位的调整被预先加到所有可能输入的视频信号。在该情况下，所得最佳调整总量被储存在非易失性存储器22中用于每个视频信号，而在当输入视频信号处理装置的视频信号被转换时的那个时间，根据控制器21的指令，通过MPU9，用于被转换(新的)的视频信号而得到的并储存在非易失性存储器22中的调整总量被设置作为在写入控制电路5中用于取样时钟的调整总量。对于这样的操作，对多个视频信号的取样时钟相位的调整量能自动执行而很少需要操作员参与。

此外，MPU 9，RPM 10 和RAM 11 在图2 中在结构上是独立的和分开的单元，然而，这些单元可以设计在一微处理器芯片上，因此ROM或RAM设置在 MPU 中。

在上述实施例中，要求计算平均差AT 和总变化VT 的数据的总数每行等于1024个。该总数按对视频信号处理系统要求的性能特性可以增减。例如，该总

数可以进一步增加(例如到2048)。对该情况,平均差AT和总变化VT能计算得更准确。另一方面,该总数可以减小(例如到512)。在该情况下,在MPU 9中的计算总数能够减小,调整处理能在高的速度上执行。

此外,可以采取这种方法,首先用其数量被设置到相当小的参考数据执行粗调,然后该数据参考数量增加,以便执行细调,由此能在保持精确度的同时高的速度执行处理。

在位置是处在包括白图象元和黑图象元的区域内以及代表具有从白到黑或从黑到白的图形的情况下,MPU 9能够从存储器6得到屏幕上任何位置的数据。例如,在品质变坏易明显发生的屏幕的中心位置上的取样遗漏的发生能够通过用相应于在屏幕中心一区域中的该图象元的数据使取样时钟相位最佳来充分地加以抑制。

在上述实施例中,输入视频信号V1被转换到8位(256个灰度)数据。黑(0%亮度)相应数据值"16",而白(100%亮度)相应数据值"220",所有数据用设置到边界(阈)值的数据值"128"分成黑电平图象元数据和白电平图象元数据。然而,为更精密地执行处理,分类阈值能设置到介于黑和白数据值之间的中间数据值 $(16+220)/2=118$ 。在此情况下,如果从存储器6读出的数据值小于118等级,黑电平图象元数据总数TB递增"1",黑电平图象元数据平均AB加到该数据值,而黑电平图象元数据变化VB加到该数据值的平方。另一方面,如果数据值约118,白电平图象元数据总数TW递增"1",白电平图象元数据平均AW加到该数据值,而白电平图象元数据变化VW加到该数据的平方。换句话说,属于指定数据值范围的图象元数据可以判断为白电平或电平级图象元。例如0-31的数据可以处理成黑电平图象数据,而204-235的数据可处理成白电平图象元数据。如上所述的A/D转换器的量化位数,用于分类进入黑和白数据组的数据值,用于判断图象元数据是否为白电平图象元数据或黑电平图象元数据的阈值(边界)数据并不限制到如上所述的值,在取样时钟相位能够用这些值很好地调整的情况下可以使用任何值。

此外,在如上所述实施例中,当由于取样时钟的噪声或时间涨落而得不到稳定的数据值时,在相同位置上的数据值可以在某些范围上平均,以便使用该平均值作为数据值,由此取样时钟相位能以更高的精度加以调整。

在上述实施例中,所有从存储器6读出的数据在由MPU 9计算频率特性 $h(i)$

的计算过程中可不必储存在RAM中。即，代表灰度L的量的数据排列 $h(L)$ 可以响应具有从存储器6读出的灰度L的数据连续递增“1”。因此，足以充分的是在RAM 11中储存数据排列，该数据排列是用于储存代表每个灰度量度的数据 $h(L)$ 以及它们的哪个量是等于该灰度的量。按此结构，使用小容量的RAM 11能处理大量的数据。此外，当用于处理的数据总量增加时，不必极大地增加存储器的容量。

在上面实施例中，足以充分的是当所有图象元集中在一个能够储存的等级上时，提供2个字节数据区域，每个区域具有最大数据量(1024)的容量，以及它们的哪个量是等于数据值的量(例如当数据值由8位表示时是256)。即，当数据量等于65535或稍小(能由2个字节表示)时，约512个字节($=2 \times 256$)可以用于计算和储存频率曲线 $h(i)$ 。

在上述实施例中，MPU 9根据平均差AT最大而总变化VT最小的那个点被视作最佳取样时钟相位的假定执行取样时钟相位的调整。可以执行这种调整使得只有平均差AT和总变化VT之一是最大或最小。

即，如图5所示，平均差AT是有这样一种特性，就是在最佳相位附近它适度地变化，而在相位被偏移 180° 的部分变化较迅速。另一方面，总变化VT具有这样一种特性，就是在最佳相位附近变化迅速，而在相位偏移 180° 的部分变化适度。考虑到总变化VT的特性，可调整取样时钟相位使得其在最佳相位附近灵敏度更高的总变化VT为最小。特别地，当在如上所述的第二计算中平均差AT大于在第一计算中的计算值或者总变化VT小于在第一计算中的计算值时，如像上述的计算那样，取样时钟相位连续地按相同方向变化。当平均差AT增加或总变化VT减小时，取样时钟相位连续变化。如果总变化VT的变化开始增加，取样时钟相位被设置到正好以前的相位而完成调整处理。相反地，当在第二计算中平均差AT小于第一计算的计算值或总变化VT大于第一计算的计算值时，取样时钟相位变化到以前计算的相反方向。当平均差AT增加或总变化VT减小时，取样时钟相位按相反方向连续变化。如果总变化VT的变化开始增加，取样时钟相位被设置到正好以前的取样脉冲相位而完成调整处理。

此外，如果连续存在取样时钟相位提供最小总变化VT的多个点，则在该连续部分的中间点被处理为合适的相位。

在上述实施例中，频率曲线 $h(L)$ 根据存储器6中的数据作出的，而平均差 AT 和总变化 VT 是根据该频率曲线 $h(L)$ 计算的。然而，该平均差 AT 和总变化 VT 可以直接通过计算由存储器6读出的数据的累积值和该值平方的累积值进行计算。这种计算可以由图7所示的处理执行。即，首先，"0"被设置为对于每个黑电平图象元数据量 TB ，白电平图象元数据量 TW ，黑电平图象元数据平均 AB ，白电平图象元数据平均 AW ，黑电平图象元数据变化 VB 以及白电平图象元数据变化 VW 的初始值(步骤1101)。一数据从存储器6读出，该数据的值被设置为 D (步骤1102)。在步骤1103， D 同128相比较。如果 D 小于128，黑电平图象元数据量 TB 递增"1"，黑电平图象元数据平均 AB 同该数据值相加，而黑电平图象元数据变化 VB 同该数据值的平方相加(步骤1104)。

另一方面，如果 D 超过128，白电平图象元数据是 TW 递增"1"，白电平图象元数据平均 AW 加到该数据值，而白电平图象元数据变化 VW 加到该数据值的平方(步骤1105)。

以上处理(步骤1102-1105)是根据所有由存储器6读出的数据执行的。如果对于数据的这种处理完成(步骤1106的判断为YES)，黑电平图象元数据的总量被设置到 TB ，白电平图象元数据的总量被设置到 TW ，白电平图象元数据的累积值被设置到 AW ，而黑电平图象元值的累积值被设置到 AB ，此外，白电平图象元数据的平方的累积值被设置到 VW ，而黑电平图象元数据的平方的累积值被设置到 VB 。每个黑电平图象元数据平均 AB 和白电平图象元数据平均 AW 都可以通过将其数据累积值除以其数据量进行计算，而每个黑电平图象元数据变化 VB 和白电平图象元数据变化 VW 能通过将其数据的平方的累积值除以其数据量然后从其减去平均值的平方进行计算。此外，平均差 AT 和总变化 AT 能由下式计算：

$$AT=AW=AB, VT=VW+VB$$

因此，通过使用上述 AT 和 VT 值，能控制取样时钟相位到最佳值。

此外，上述实施例涉及到用于处理表示多灰度级亮度的一个系统的视频信号的视频信号处理装置18。然而，按第一实施例的该视频信号处理装置为可应用来处理例如 $R.G.B$ 或 $Y, R-Y, BY$ 三个系统的视频信号。

在该情况中，数据基准(reference)只在一个系统例如G或Y 系统的信号上执行，在该系统上，能量易于集中，并且在系统中图象品质下降更为显著，取样时钟相位被最佳化，并且该取样在同一相位被加到其他的系统，例如G或Y。

此外，数据基准可以独立地在三个系统上执行，以便取样时钟相位最佳化。在该情况下，MPU 9，ROM 10，RAM 11等可共同用于三个系统，而取样相位的最佳化连续地和单独地在R、G和B(或Y，R-Y，B-Y)的每一个系统上按此顺序执行。在该情况下，如图6中所示的三个PLLs可以分别配置到三个系统。然而，替代该方式，可以只提供一个PLL，图6的SYSCLK分流到三个系统，而延迟电路51被独立地提供给三个系统的每一个系统，该电路51 用相应来自MPU 9的控制信号的一延迟总量独立地用于延迟分支系统的每个系统的SYSCLK。这种结构相应于该延迟电路51配置在图6点A的结构。

替代上述方式，可以使用共同用于三个系统的具有大延迟总量步进(1-5ns)的延迟电路执行粗调整，SYSCLK 被分流到三个系统，并提供具有细密步进(0.25ns)的能独立控制每个分支系统的SYSCLK的延迟电路。

此外，可以在该三系统的所有数据上执行最佳取样时钟相位的调整，例如，可以执行取样时钟相位的调整，使三系统的总变化值VT的和为最少。

当取样时钟相位的调整在这三个系统上执行时，表示一试验图形的视频信号在调整取样时钟相位时被用作输入视频信号，该试验图形包括两个电平的视频信号，用作所有R，G，和B（或Y，R-Y，B-Y）的视频信号，一个电平设置到低于50%电平的电平（例如0%），而另一电平设置到高于100%电平的电平（例如100%），并且频繁地从低电平到高电平或从高电平到低电平变化。

图8表示当对于所有R、G、B三系统的数据取样相位被设置到最佳时钟相位时该视频信号处理装置18的结构。在该结构中，MPU 9存取配置到三系统R，G，和B 的三存储器6R，6G和6B，以便读出每个数据，并通过控制信号CLKPH 调整由写入控制电路5产生的取样时钟的相位，使三系统的总的变化值VT 的和为最小。

有一种情况，在那里MPU 9的操作频率被设置得低于该视频信号的点频率，或者在取入数据之后由于对在MPU 9中执行的计算处理要求的时间，在一场(

或一帧) 或一行期间中不能取得如上所说的计算统计值处理所要求的所有图象元数据。对于这种情况, 一新场(或帧)或行的数据被连续地从A/D转换器4写入存储器6。然而如果其某些图形每场(或帧) 或行是重复的试验图形被用在视频信号产生器中, 则当场或行更新时, 数据值是不变的, 由此要求的数据能取入MPU 9。此外, 当为了处理初始信号而存取存储器6与为了将数据取入MPU 9 而存取存储器6相并行时, 则数据存取, 信号处理可备有优先权。另一方面, 在不执行数据写入存储器6的操作的水平或垂直消隐周期, 数据可以从存储器6读出。

将描述本发明的第二实施例。

图9表示图1中所示的该视频信号处理装置的内部结构。

在图9中, 该视频信号处理装置一输入端1, 用于视频信号V1, 一输入端2, 用于同步信号, 一同步分离电路3, 一A/D转换器4, 用于将输入视频信号V1转换到数字数据, 一D/A转换器7, 以及一输出端12, 用于将视频信号V0输出到显示器20。这些元件与第一实施例的视频信号处理电路(见图2) 中由同样标号表示的元件相同。

该视频信号处理装置还包括一写入控制电路5, 用于根据来自同步分离电路3 的同步信号产生同步时钟和存储器写入控制信号, 一串——并转换电路(以下称“S / P 转换电路”) 1 3, 用于将来自A / D转换器4 的数据分成进入两个装置的各具有半速度的信号并将该信号输出, 写入存储器6 a 和6 b, 用于根据来自写入控制电路5 的控制信号储存具有半速度的数据, 一半一串转换电路(以下称“P / S 转换电路”) 1 4, 用于将从存储器6 a, 6 b 读出的两个系统的信号(数据合成为具有两个装置信号的两倍速度的一个装置的一个信号), 一读出控制电路8, 用于控制存储器6 a, 6 b, D / A转换电路7, 等。结果其输出信号具有预定的形状, 一转换电路1 7, 用于根据来自MPU 9 的控制转换S / P 转换电路1 3 的两个输出, 一缓冲存储器1 5, 用于接收S / P 转换电路的输出数据的一个装置的信号, 该S / P 转换电路由转换电路1 7 和被指定来从缓冲存储器1 5 提供数据的MPU 9 进行选择, 一ROM 1 0, 用于储存程序和用于控制MPU 9 的数据, 一RAM 1 1 用于对MPU 9 的处理工作提供存储区域, 以及一联络端1 6, 用于将来自外部控制器2 1 的控制信号输入到MPU 9。

在由图9表示的第二实施例的结构中，第实施例的存储器6由用于两个装置的S/P转换电路13，S/P转换电路14和存储器6a和6b所取代。图9所示结构与第一实施例的差别在于，MPU 9不是从存储器6，而是通过缓冲存储器15读出由A/D转换4转换的数字数据。

在这种结构中，由A/D转换器4转换的数据由S/P转换电路13分成两个装置的具有半速的数据。例如，连续输入的数据被分成一奇数图象元数据组和一偶数图象元数据组，每个这些数据组被作为具有两倍时间宽度的一数据序列输入到存储器6a(6b)中。

因此，存储器6可以运行在A/D转换器4的取样时钟的时钟频率的一半上。因此，甚至当视频信号V1在第一实施例的两倍频率上取样时，存储器6a和6b可以由与第一实施例运行频率相同的存储器构成。即，在缺乏更高工作频率的存储器的情况下能够得到与视频信号匹配并具有高分辨率的视频信号处理装置18。

在P/S转换电路14中，由S/P转换电路13分开的两装置的信号被合成为一个装置的信号，并如图1所示的第一实施例那样作为相同类型的一个装置信号输出到D/A转换器7。

其他的信号流类似于图1所示的第一实施例。然而，写入控制电路5和读出控制电路8控制存储器6a和6b两者的写入和读出操作。

缓冲存储器15储存通过转换电路17的属于由S/P转换电路13分开的数据序列之一的有效图象元的数据。这时，输入到该缓冲存储器15的信号的速度由S/P转换电路13降低，这样，一个低速度的存储器元件能用作缓冲器15。

在某一时间输入并储存在缓冲存储器15的数据被限制在如上所描述的被分开的两个装置的数据序列之一的数据。但是，如果选择的数据序列能够由转换电路17进行转换，属于相应偶数图象元或奇数图象元的任意两数据序列的数据能被输入到并储在该缓冲存储器15中。因此，如像第一实施例，MPU 9从该缓冲存储器15读出任意要求的数据，以便如上所述去计算各种统计值并控制取样时钟相位。

除指定的试科形外，由取样时钟相位偏移最佳状态而引起的模糊中间灰度数据产生的可能性在偶数图象元和奇数图象元之间是相等的，由此以下结构被

采用来取代上述结构。即，省略转换电路17，只有对应偶或奇数图象元被储存在缓冲存储器15中，而MPU 9只根据储存在缓冲存储器15中的偶或奇数图象元计算在第一实施例中描述的各种统计值，由此控制了取样时钟相位。

MPU 9从缓冲存储器15中连续地续出数据，并按与第一实施例相同方式根据ROM 10中的程序执行这种处理，以便根据在写入电路5中的相位控制信号CKPH控制取样时钟相位。

这里，如果缓冲存储器15包括一FIFO存储器，MPU 9不需要指示一地址从该缓冲存储器15取入该数据。此外，MPU 9从独立于存储器6a和6b的缓冲存储器15读出该数据。因此，通过设计缓冲器15使输入到该缓冲存储器15的数据被禁止，直到储存在该缓冲存储器15中的数据被读出为止，当MPU 9的处理速度低时，在该数据被读出之前能防止该缓冲存储器15中的数据更新。此外，对于初始信号处理，存取存储器6a和6b与MPU 9的数据读出不相同，MPU 9甚至能连续处理视步信号消除周期的参考数据输出。因此，这种结构能缩短调整处理时间。

用MPU 9计算统计值可以取得如上所述特性曲线之后既可使用计算平均差AT也可使用总变化VT的方式来进行，或者基于在如上所述的参考图象元数据直接计算累积值和平方值的累积值的方式来进行。

在如上所述的实施例中，视频信号装置18和显示器20可以做成一体。

当视频信号产生器19不仅输出视频信号V1等，而且还输出取样时钟以便取样该视频信号V1时，是不需要图6中所示的PLL的，对于这种情况，取样时钟输入到视频信号处理装置，并提供用于延迟输入取样时钟的一可变延迟电路。通过如上所述的可变延迟电路调整上述取样时钟的相位，而经调整的取样时钟被用在A/D转换器4等中。

此外，在所述实施例中，调整取样时钟的相位。然而，相反地，可以调整该视频时钟的相位。在任何情况下，可以调整取样时钟相位和视频信号的点相位之间的相位差。

如上所述，按本发明的实施例，取样相位的调整基本上能根据表示黑底白字母图象或白底黑字母图象的视频信号自动执行调整，这种视频信号能由任何类型的工作站或计算机产生，取样相位的调整能容易地由无专门知识或专门技术的人员执行显示调整的图形。

如上所述，本发明能提供能容易高精度执行取样相位调整的一种视频信号处理装置。

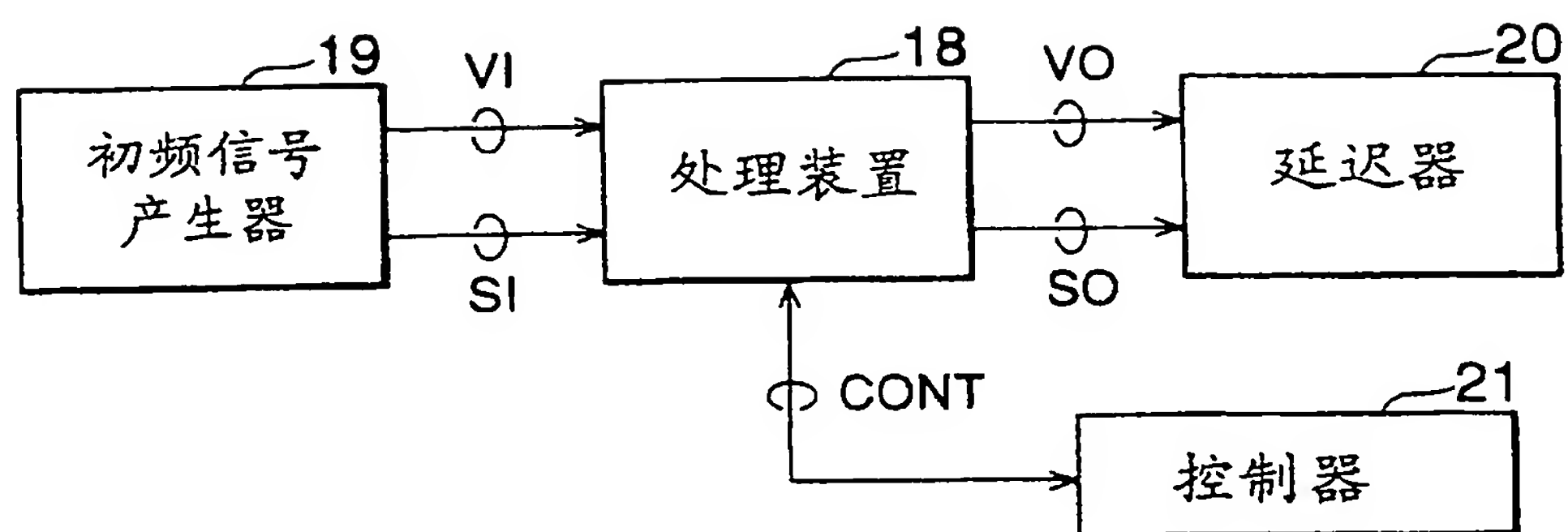


图 1

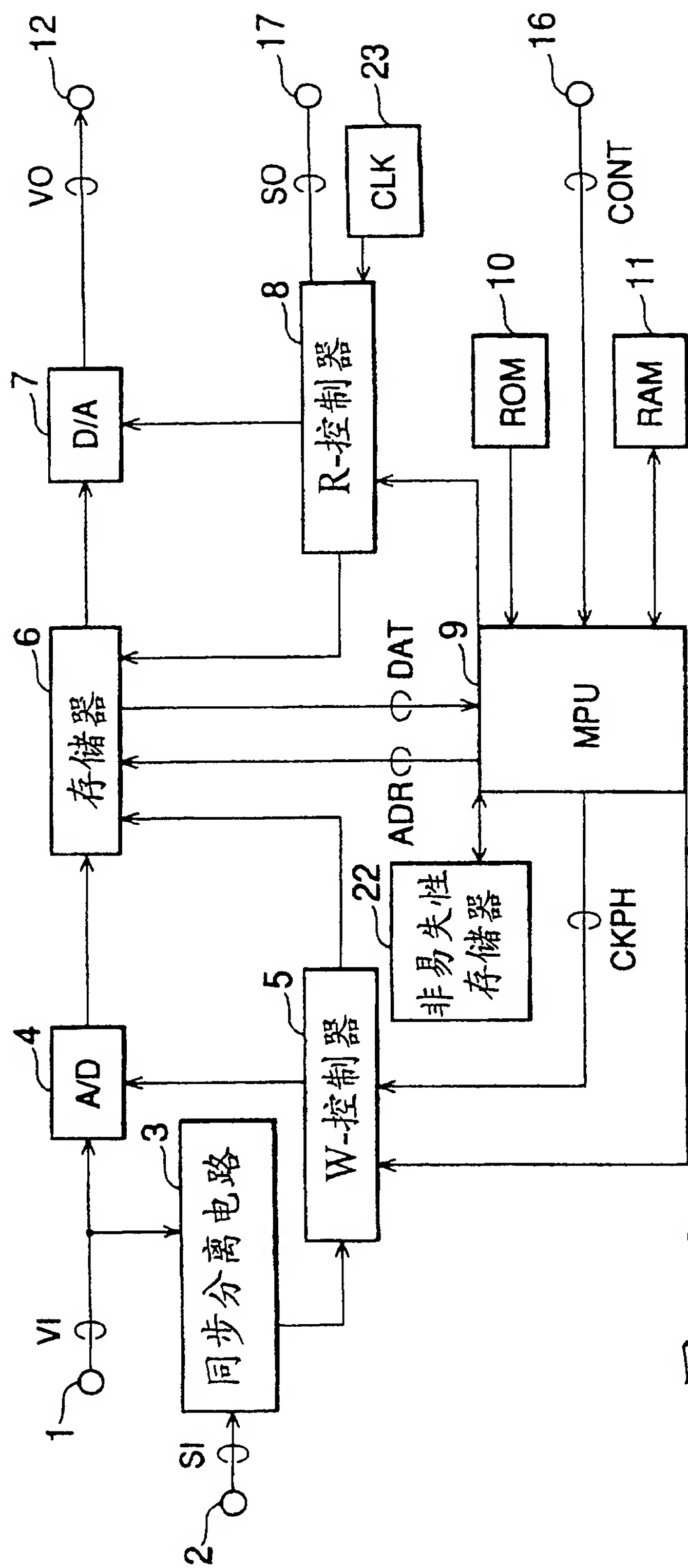
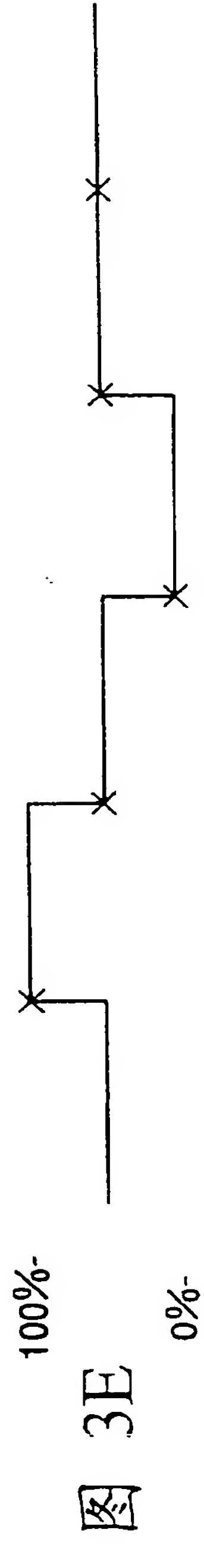
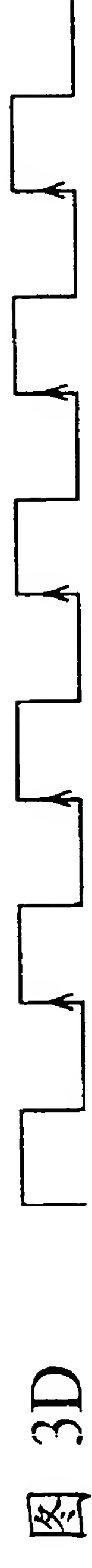
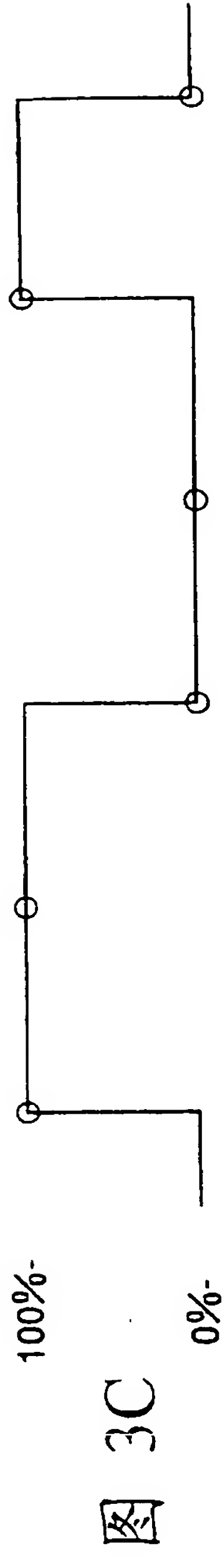
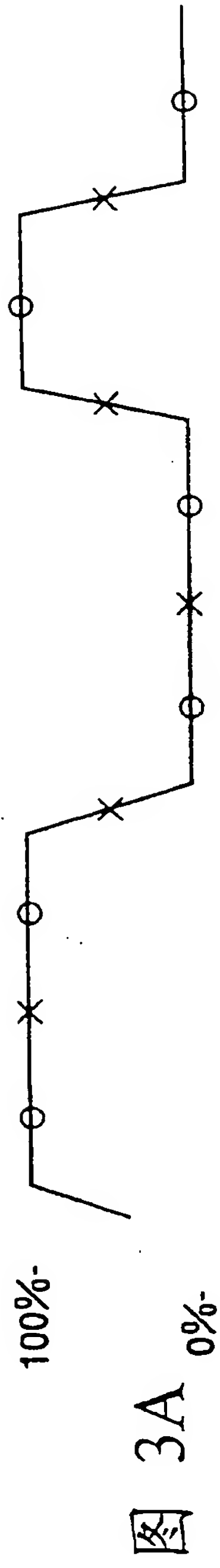


图 2



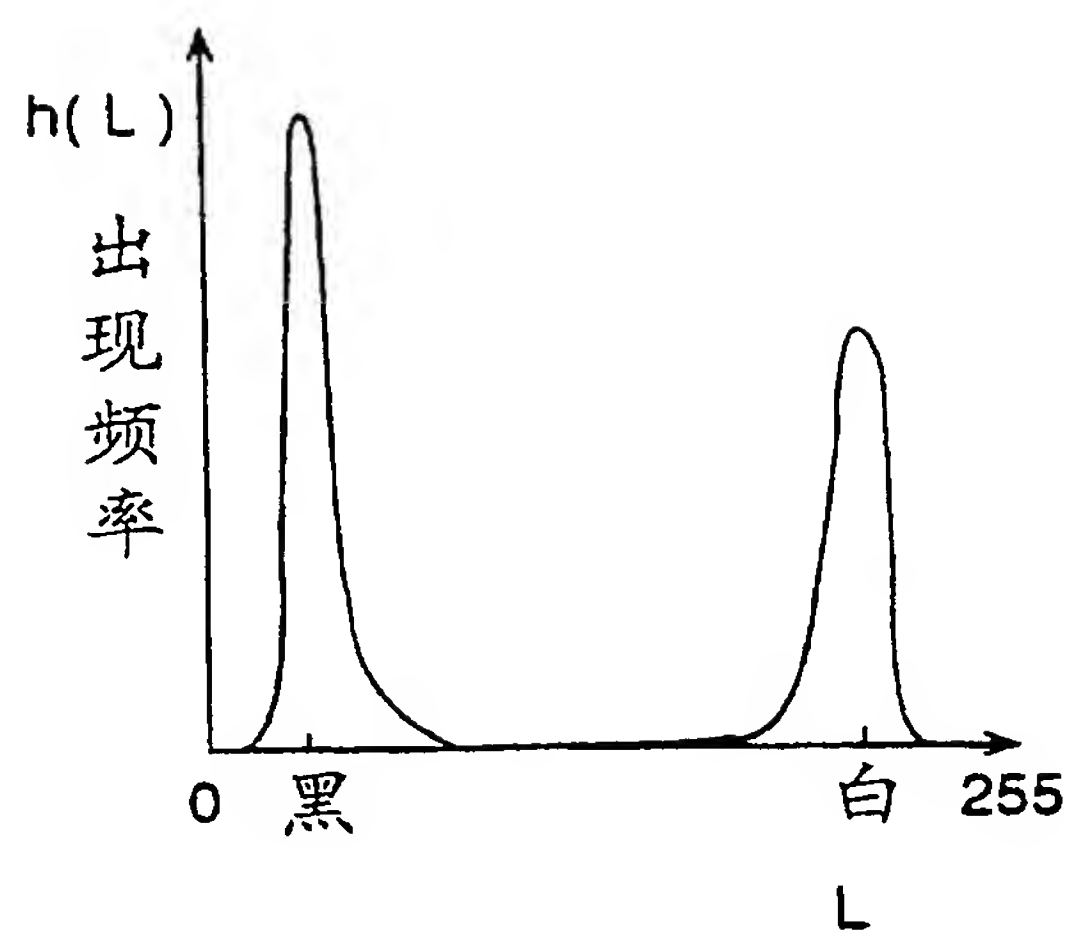


图 4A

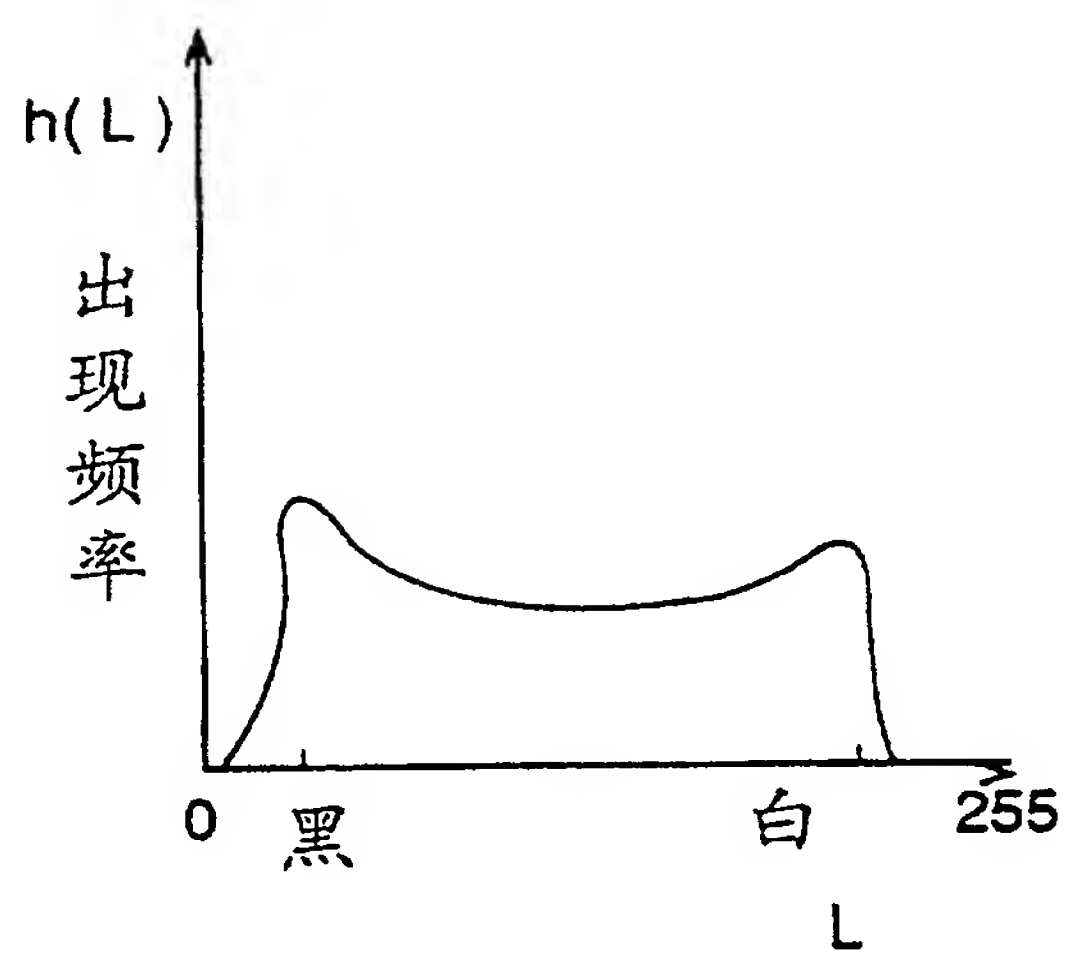


图 4B

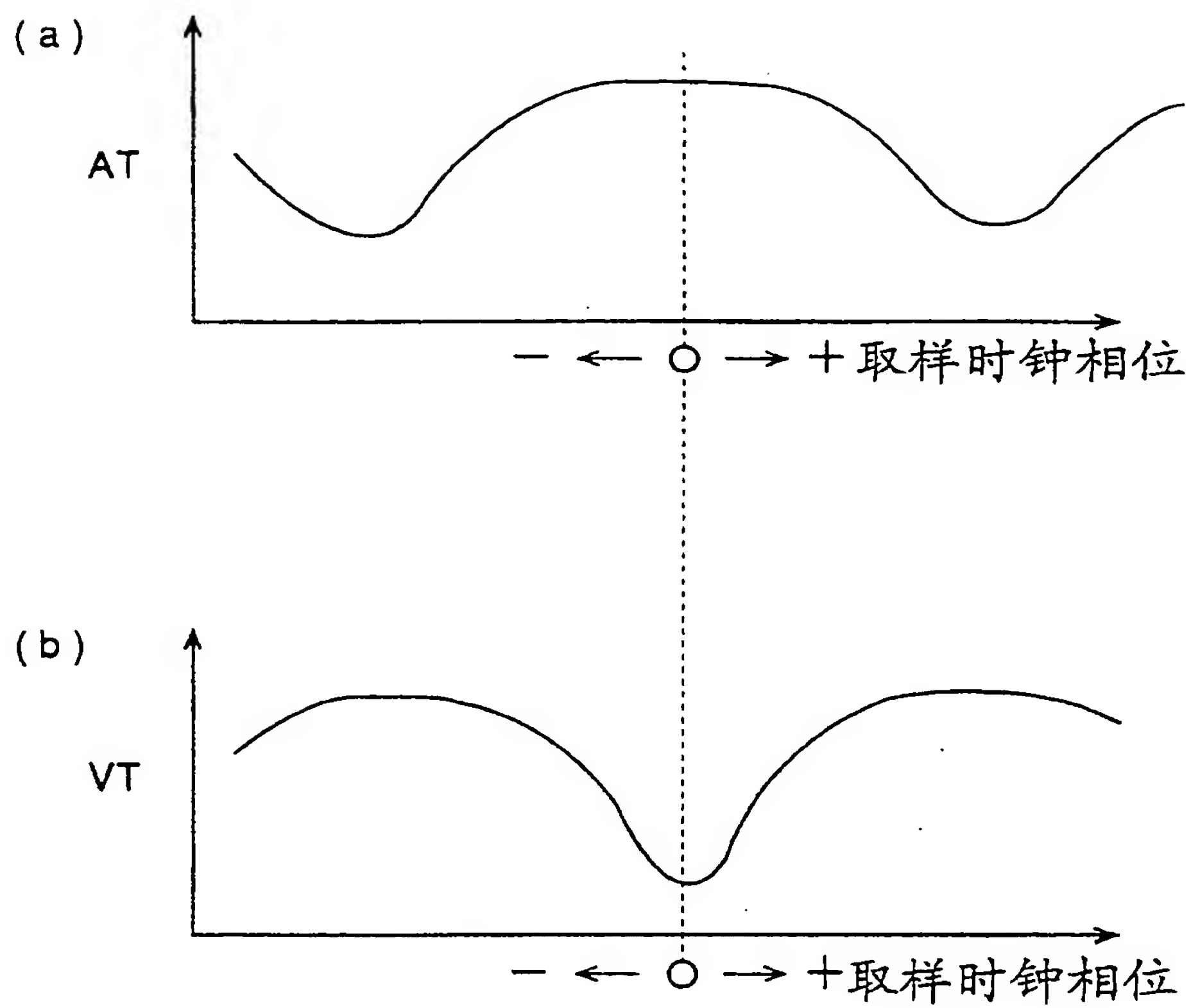


图 5

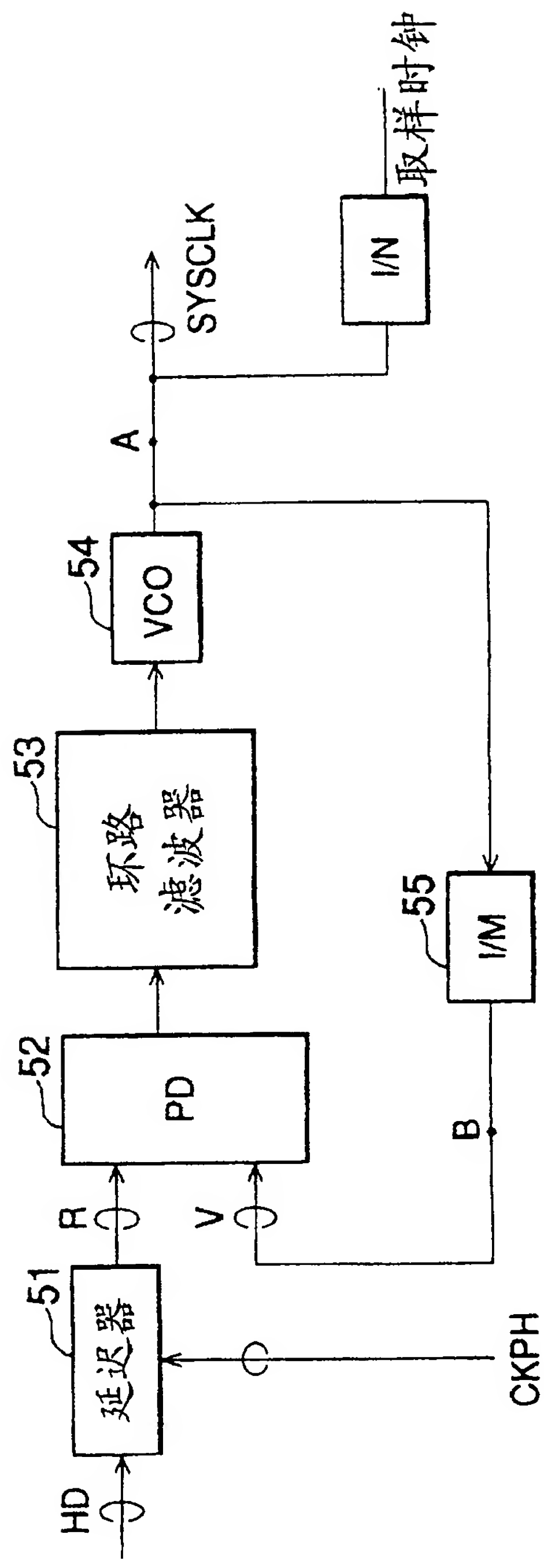


图 6

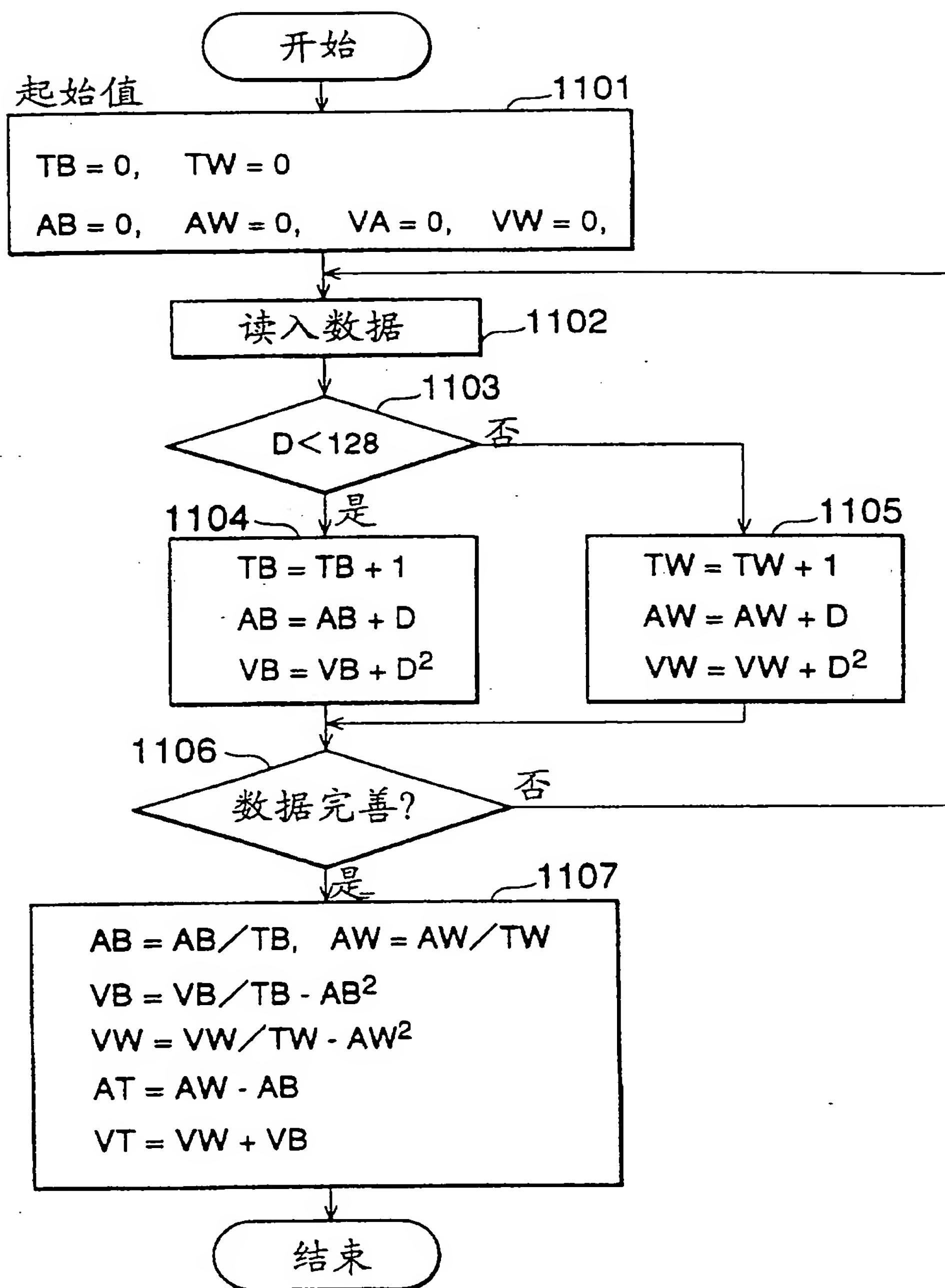


图 7

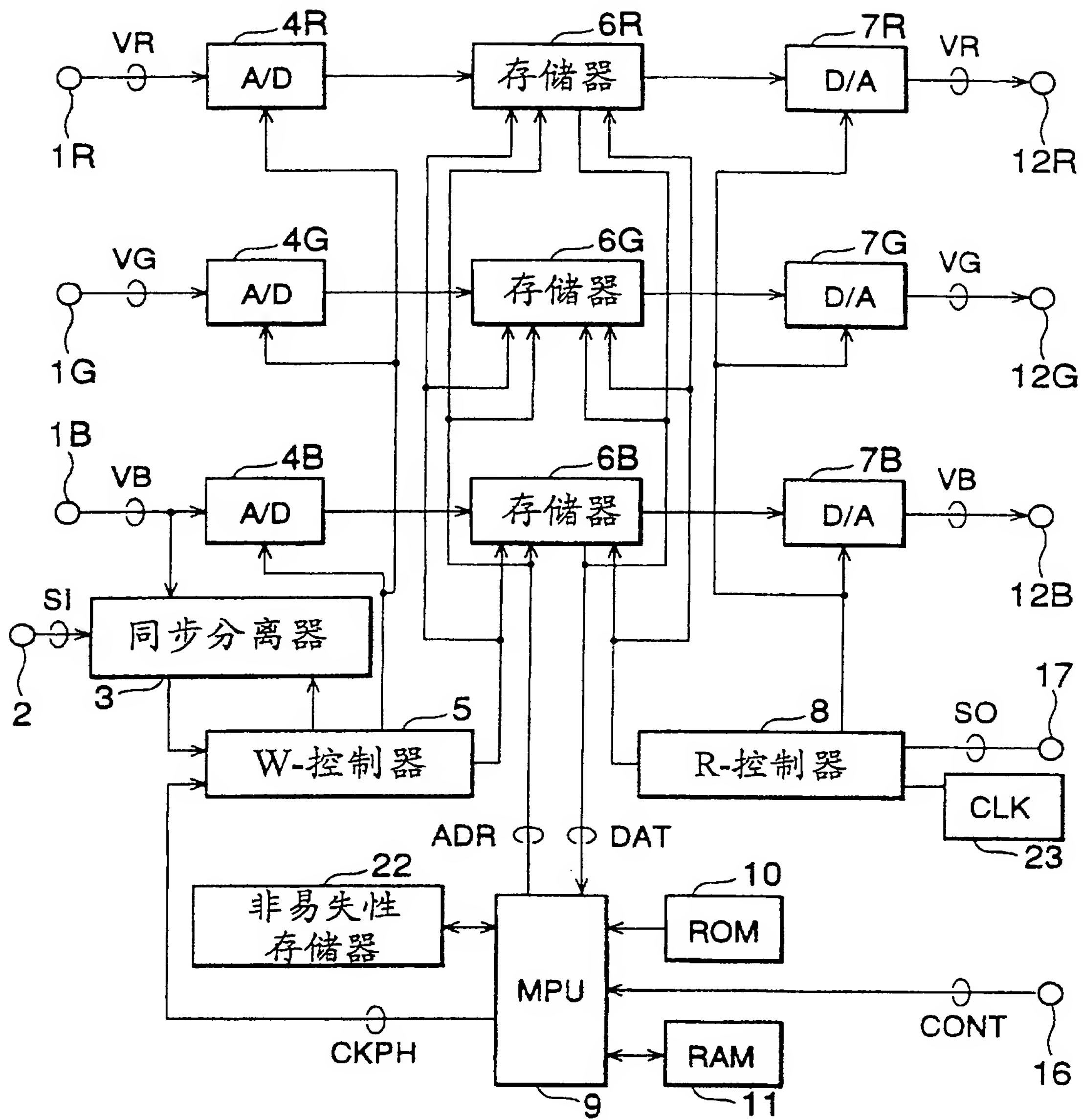


图 8

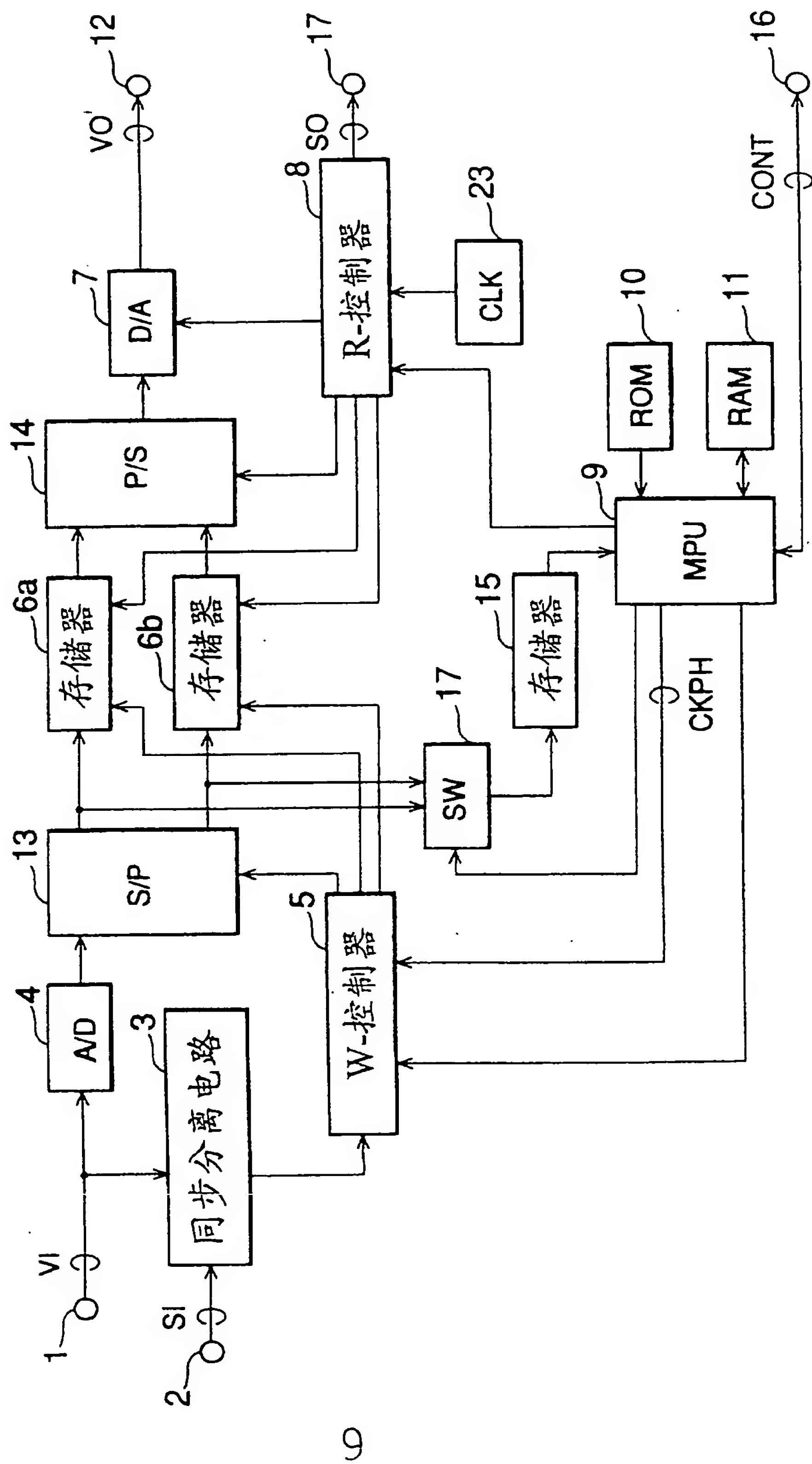


图 9

THIS PAGE BLANK (USPTO)